

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-109736

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H01L 21/322

(21)Application number : 03-272252

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 21.10.1991

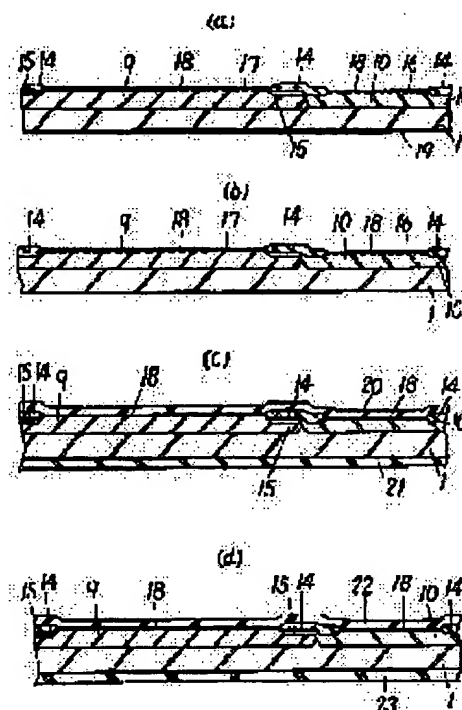
(72)Inventor : MURAKAMI ISAO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide the manufacturing method of a semiconductor device wherein the generation of warp of a single crystal silicon substrate is eliminated and effective gettering is enabled.

CONSTITUTION: The following are provided; a process for forming a gate insulating film 18 on the main surface of a single crystal silicon substrate 1, a process for forming polycrystalline silicon films 20, 21 on both surfaces of the single crystal silicon substrate 1, after the rear of the single crystal silicon substrate 1 is exposed, a process for forming low resistive polycrystalline silicon films 22, 23 by implanting ions in the polycrystalline silicon films 20, 21, and a process for forming a gate electrode by selectively etching the low resistive polycrystalline silicon film 22.



## LEGAL STATUS

[Date of request for examination] 12.02.1997

[Date of sending the examiner's decision of rejection] 06.07.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

BEST AVAILABLE COPY

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

05-109736

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the gettering which prevents a degradation of the electrical property by metal impurity contamination with respect to the manufacture technique of a semiconductor device.

[0002]

[Description of the Prior Art] In the manufacturing process of a semiconductor device, it is known that the impurity mixed from the material of the manufacturing installation which makes a diffusion furnace the start, the chemical for washing, etc., especially metal impurities (iron, copper, zinc, chromium, or nickel) will degrade the property of a semiconductor device.

[0003] The gettering which captures a metal impurity out of the active region of a semiconductor device is in the technique of solving this problem. As one of these gettering techniques, the polycrystal silicon layer is beforehand formed in the rear face of a single-crystal-silicon substrate, and there is a method of capturing a metal impurity to the grain boundary of polycrystal silicon. This technique is excellent in gettering capacity, and since it can prevent the raising dust from the rear face of a single-crystal-silicon substrate further, let it be very effective technique.

[0004] How to form a polycrystal silicon layer in the rear face of a single-crystal-silicon substrate, and carry out gettering as the manufacture technique of the conventional semiconductor device, below, is explained. Drawing 5 (a) - (c) is process drawing showing the manipulation technique of a single-crystal-silicon substrate. As shown in drawing 5 (b), the polycrystal silicon layers 31 and 32 are formed in both sides of the single-crystal-silicon substrate 30 shown in drawing 5 (a). Then, the element forming face of the single-crystal-silicon substrate 30 is ground, and as shown in drawing 5 (c), the front face of the single-crystal-silicon substrate 30 is exposed.

[0005]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional configuration, as shown in drawing 5 (c), it had the technical problem that a single-crystal-silicon substrate curved under the influence of the remains internal stress of the polycrystal silicon layer 32 which remains at the polished surface of the single-crystal-silicon substrate 30, and the rear face of the single-crystal-silicon substrate 30. For this reason, since it curved so that the gettering method which forms the polycrystal silicon layer in the rear face of a single-crystal-silicon substrate beforehand cannot be applied to the manufacture technique of a semiconductor device that high flatness is demanded and the diameter of a single-crystal-silicon substrate becomes large, and an amount became large, it has not corresponded to diameter-ization of the macrostomia of a single-crystal-silicon substrate.

[0006] this invention solves the above-mentioned conventional technical problem, loses occurrence of the curvature of a single-crystal-silicon substrate, and aims at offering the manufacture technique of the semiconductor device which makes effective gettering possible.

[0007]

[Means for Solving the Problem] In order to attain this purpose, the manufacture technique of the semiconductor device of this invention has the process which forms a gate insulator layer in the principal plane of a single-crystal-silicon substrate, the process which forms a polycrystal silicon layer in both sides of the back single-crystal-silicon substrate to which the rear face of a single-crystal-silicon substrate was exposed, and the process which carries out selection etching of the polycrystal silicon layer of the principal plane of a single-crystal-silicon substrate, and forms a gate electrode.

[0008]

[Function] Selection etching of the polycrystal silicon layer of the principal plane of a single-crystal-silicon substrate is carried out by this configuration, it serves as a gate electrode by it, the problem of the curvature of a single-crystal-silicon substrate is reduced, and a polycrystal silicon layer on the back can use a usual single-crystal-silicon substrate while it contacts a single-crystal-silicon substrate and directly and demonstrates the gettering effect.

[0009]

[Example] One example of this invention is explained below, referring to a drawing. Drawing 1 (a) The process cross section of the 1st process fraction of the manufacture technique of a semiconductor device [ in one example of this invention in - (d) ], Drawing 2 (a) - (d) is [ the process cross section of the 3rd process fraction of the manufacture technique of this semiconductor device and drawing 4 (a) - (d) of the process cross section of the 2nd process fraction of the manufacture technique of this semiconductor device and drawing 3 (a) - (d) ] the process cross sections of the 4th process fraction of the manufacture technique of this semiconductor device.

[0010] As first shown in drawing 1 (a), the silicon-oxide layer 2 of 50nm thickness and the silicon nitride film 3 of 100nm thickness by thermal oxidation are formed one by one all over the single-crystal-silicon substrate 1. Next, only the silicon nitride film 3 on N well formation field 4 is removed alternatively, and the ion implantation of \*\*\*\* 5 is carried out to N well formation field 4. Next, as shown in drawing 1 (b), while the silicon nitride 3 is used as a mask, and is oxidized thermally and the silicon-oxide layer 6 of 600nm thickness is formed in N well formation field 4, the \*\*\*\* diffusion field for N wells 7 is formed. Next, as shown in drawing 1 (c), after flooding the single-crystal-silicon substrate 1 with a \*\*\*\*\* solution and removing a silicon nitride film 3, the ion implantation of the boron 8 for P well formation is carried out. Since there is a silicon-oxide layer 6 at this time, boron 8 is not poured into the \*\*\*\* diffusion field for N wells 7. Next, as shown in drawing 1 (d), P well field 9 and N well field 10 of predetermined concentration and a depth are formed with heat treatment. This thermal diffusion process is usually called drive-in, and in order to process the single-crystal-silicon substrate 1 at the elevated temperature of 1100 degrees C or more generally, there is a risk of the impurity from the material which constitutes a diffusion furnace mixing into the single-crystal-silicon substrate 1. These impurities are heavy metal, such as iron, copper, nickel, or chromium, enter into the single-crystal-silicon substrate 1, and degrade an element property remarkably.

[0011] Next, as shown in drawing 2 (a), the silicon-oxide layer 2 and the silicon-oxide layer 6 are removed. Next, as shown in drawing 2 (b), after forming the silicon-oxide layer 11 of 20nm thickness, the silicon nitride film 12 of 160nm thickness is alternatively formed in a rear face completely as an object for isolation processes at the principal plane of the single-crystal-silicon substrate 1. The ion implantation of the boron for a channel stop 13 is carried out, using this silicon nitride film 12 as a mask. Next, as shown in drawing 2 (c), while the silicon-oxide layer for isolation 14 of 500nm thickness is formed by the selective-oxidation method, using a silicon nitride film 12 as a mask, the P type diffusion layer for isolation 15 is formed, and a silicon nitride film 12 is removed after that. As furthermore shown in drawing 2 (d), the silicon-oxide layer 11 is removed.

[0012] Next, as shown in drawing 3 (a), the diffusion layer 16 for a threshold control of a P-channel-MOS transistor, the diffusion layer 17 for a threshold control of an N channel MOS transistor, and the silicon-oxide layer 18 of 20nm thickness are formed. The silicon-oxide layer 18 turns into the gate oxide film of an MOS transistor, and since it must be good, it is formed of thermal oxidation. At this time, the silicon-oxide layer 19 is simultaneously formed also in the rear face of the semiconductor substrate 1. Next, as shown in drawing 3 (b), the silicon-oxide layer 19 of the rear face of the single-crystal-silicon substrate 1 is removed. According to the process of drawing 3 (b), it means that all the layers of the rear face of the single-crystal-silicon substrate 1 were removed, and the natural complexion of silicon exposes them. In this example, the photoresist was applied after the process of drawing 3 (a) at the principal plane of the single-crystal-silicon substrate 1, and after were immersed in the buffer etching reagent containing a hydrofluoric acid and removing only the silicon-oxide layer 19 on the back, the photoresist of a principal plane was removed. Next, as shown in drawing 3 (c), the polycrystal silicon layers 20 and 21 of 400nm thickness are formed using reduced pressure CVD. The polycrystal silicon layer 20 formed in the principal plane of the single-crystal-silicon substrate 1 at this time serves as the gate electrode 24 formed at a back process, and the polycrystal silicon layer 21 on the back serves as the material which has the gettering effect. In addition, as a standard which evaluates the gettering effect, although the reverse leakage property of a PN junction was used in this example, the thickness of the polycrystal silicon layer 21 was effective at 150nm or more. Moreover, the growth temperature at the time of reduced pressure CVD has 580 degrees C - desirable 680 degrees C. Next, although the thermal diffusion using oxysalt-ized \*\*\*\* performed the \*\*\*\* diffusion on the polycrystal silicon layers 20 and 21 and it considered as the polycrystal silicon layers 22 and 23 of low resistance as shown in drawing 3 (d), it was still effective than the case where \*\*\*\* is not added about the effect of gettering. it does not get at this time -- when thing concentration was three or more  $1 \times 10^{19} \text{atom/cm}$ , it was effective

[0013] Next, as shown in drawing 4 (a), selection etching of the polycrystal silicon layer 22 is carried out, and the gate electrode 24 is formed. Next, as shown in drawing 4 (b), the source of the source of a P-channel-MOS transistor, the drain 25, and an N channel MOS transistor and the drain 26 are formed. Next, as shown in drawing 4 (c), the layer insulation layer 27 is formed. Next, as shown in drawing 4 (d), after forming the contact hole 28, the aluminum wiring 29 is formed.

[0014]

[Effect of the Invention] As mentioned above, this invention reduces the curvature of the single-crystal-silicon substrate which had become the problem by the single-crystal-silicon substrate which gave the conventional gettering effect, and can realize the manufacture technique of the semiconductor device which enables formation of a detailed pattern, and the manufacture of the quality semiconductor device without a degradation of the element property according [ and ] to heavy metal of it is attained by the manufacture technique of this invention.

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-109736

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.<sup>5</sup>

H01L 21/322

識別記号

庁内整理番号

P 8617-4M

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 5 頁)

(21)出願番号 特願平3-272252

(22)出願日 平成3年(1991)10月21日

(71)出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72)発明者 村上 勇雄

大阪府門真市大字門真1006番地 松下電子  
工業株式会社内

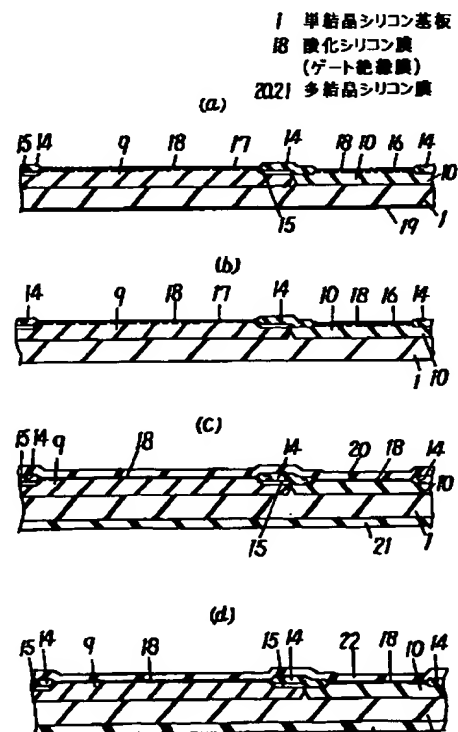
(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 単結晶シリコン基板の反りの発生を無くし、有効なゲッターリングを可能にする半導体装置の製造方法を提供する。

【構成】 単結晶シリコン基板1の主面にゲート絶縁膜18を形成する工程と、単結晶シリコン基板1の裏面を露出させた後単結晶シリコン基板1の両面に多結晶シリコン膜20、21を形成する工程と、多結晶シリコン膜20、21にイオン注入し低抵抗の多結晶シリコン膜22、23となす工程と、低抵抗の多結晶シリコン膜22を選択エッチングしゲート電極24を形成する工程とを有する。



## 【特許請求の範囲】

【請求項1】 単結晶シリコン基板の主面にゲート絶縁膜を形成する工程と、単結晶シリコン基板の裏面を露出させた後前記単結晶シリコン基板の両面に多結晶シリコン膜を形成する工程と、前記単結晶シリコン基板の主面の多結晶シリコン膜を選択エッチングしゲート電極を形成する工程とを有する半導体装置の製造方法。

【請求項2】 単結晶シリコン基板の裏面に形成された多結晶シリコン膜の厚さが150nm以上である請求項1記載の半導体装置の製造方法。

【請求項3】 多結晶シリコン膜形成時の単結晶シリコン基板の温度が580℃～680℃である請求項1または2記載の半導体装置の製造方法。

【請求項4】 形成された多結晶シリコン膜にりんを熱拡散することを特徴とする請求項1、2または3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係わり、特に金属不純物汚染による電気特性の劣化を防止するゲッタリングに関する。

## 【0002】

【従来の技術】半導体装置の製造工程において、拡散炉を初めとする製造装置の材料や洗浄用の薬品などから混入してくる不純物、特に金属不純物（鉄、銅、亜鉛、クロムまたはニッケル等）が半導体装置の特性を劣化させることが知られている。

【0003】この問題を解決する方法に、金属不純物を半導体装置の活性領域外で捕獲するゲッタリングがある。このゲッタリング技術の一つとして、予め単結晶シリコン基板の裏面に多結晶シリコン膜を形成しておき、多結晶シリコンの粒界に金属不純物を捕獲する方法がある。この方法はゲッタリング能力が優れており、さらに単結晶シリコン基板の裏面からの発塵を防止できるため、非常に有効な方法とされている。

【0004】以下従来の半導体装置の製造方法として、単結晶シリコン基板の裏面に多結晶シリコン膜を形成し、ゲッタリングする方法について説明する。図5

(a)～(c)は単結晶シリコン基板の加工方法を示す工程図である。図5(a)に示す単結晶シリコン基板30の両面に、図5(b)に示すように多結晶シリコン膜31、32を形成する。その後、単結晶シリコン基板30の素子形成面を研磨し、図5(c)に示すように単結晶シリコン基板30の表面を露出させている。

## 【0005】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、図5(c)に示すように、単結晶シリコン基板30の研磨面および単結晶シリコン基板30の裏面に残存する多結晶シリコン膜32の残留内部応力の影

いた。このために高い平坦度が要求される半導体装置の製造方法には予め単結晶シリコン基板の裏面に多結晶シリコン膜を形成しておくゲッタリング法が適用できず、また単結晶シリコン基板の直径が大きくなるほど反り量が大きくなるため単結晶シリコン基板の大口径化に対応できなかった。

【0006】本発明は上記の従来の課題を解決するもので、単結晶シリコン基板の反りの発生を無くし、有効なゲッタリングを可能にする半導体装置の製造方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】この目的を達成するために本発明の半導体装置の製造方法は、単結晶シリコン基板の主面にゲート絶縁膜を形成する工程と、単結晶シリコン基板の裏面を露出させた後単結晶シリコン基板の両面に多結晶シリコン膜を形成する工程と、単結晶シリコン基板の主面の多結晶シリコン膜を選択エッチングしゲート電極を形成する工程とを有する。

## 【0008】

【作用】この構成によって、単結晶シリコン基板の主面の多結晶シリコン膜は選択エッチングされてゲート電極となり、裏面の多結晶シリコン膜は単結晶シリコン基板と直接接合してゲッタリング効果を発揮するとともに、単結晶シリコン基板の反りの問題が低減されかつ通常の単結晶シリコン基板を使用することができる。

## 【0009】

【実施例】以下本発明の一実施例について、図面を参照しながら説明する。図1(a)～(d)は本発明の一実施例における半導体装置の製造方法の第1工程部分の工程断面図、図2(a)～(d)は同半導体装置の製造方法の第2工程部分の工程断面図、図3(a)～(d)は同半導体装置の製造方法の第3工程部分の工程断面図、図4(a)～(d)は同半導体装置の製造方法の第4工程部分の工程断面図である。

【0010】まず図1(a)に示すように、単結晶シリコン基板1の全面に、熱酸化による50nm厚さの酸化シリコン膜2と100nm厚さの窒化シリコン膜3とを順次形成する。次にNウェル形成領域4の上の窒化シリコン膜3のみを選択的に除去し、Nウェル形成領域4にりん5をイオン注入する。次に図1(b)に示すように、シリコン窒化膜3をマスクにして熱酸化し、Nウェル形成領域4に600nm厚さの酸化シリコン膜6を形成するとともに、Nウェル用りん拡散領域7を形成する。次に図1(c)に示すように、単結晶シリコン基板1を熱りん酸溶液に浸漬して窒化シリコン膜3を除去した後、Pウェル形成用のボロン8をイオン注入する。この時酸化シリコン膜6があるためにNウェル用りん拡散領域7にはボロン8は注入されない。次に図1(d)に示すように、熱処理により所定の濃度と深さのPウェル

程は通常ドライブインと呼ばれており、一般に1100℃以上の高温で単結晶シリコン基板1を処理するため、拡散炉を構成する材料からの不純物が単結晶シリコン基板1中に混入してくる危険性がある。これらの不純物は、鉄、銅、ニッケルまたはクロム等の重金属であり、単結晶シリコン基板1の中に入って素子特性を著しく劣化させる。

【0011】次に図2(a)に示すように、酸化シリコン膜2および酸化シリコン膜6を除去する。次に図2(b)に示すように、20nm厚さの酸化シリコン膜11を形成した後素子分離工程用として160nm厚さの窒化シリコン膜12を単結晶シリコン基板1の主面には選択的に、裏面には全面形成する。この窒化シリコン膜12をマスクとしてチャネルストップ用ボロン13をイオン注入する。次に図2(c)に示すように、窒化シリコン膜12をマスクとして選択酸化法により500nm厚さの素子分離用酸化シリコン膜14を形成するとともに、素子分離用P形拡散層15を形成し、その後に窒化シリコン膜12を除去する。さらに図2(d)に示すように、酸化シリコン膜11を除去する。

【0012】次に図3(a)に示すように、PチャネルMOSトランジスタのしきい値制御用の拡散層16、NチャネルMOSトランジスタのしきい値制御用の拡散層17および20nm厚さの酸化シリコン膜18を形成する。酸化シリコン膜18は、MOSトランジスタのゲート酸化膜となるもので良質なものでなければならぬため、熱酸化により形成される。このとき同時に半導体基板1の裏面にも酸化シリコン膜19が形成される。次に図3(b)に示すように、単結晶シリコン基板1の裏面の酸化シリコン膜19を除去する。図3(b)の工程により、単結晶シリコン基板1の裏面の膜は全て除去されたことになり、シリコンの地肌が露出する。本実施例では、図3(a)の工程後に単結晶シリコン基板1の主面にフォトリソを塗布し、フッ化水素酸を含有するバッファエッチング液に浸漬して裏面の酸化シリコン膜19のみを除去した後、主面のフォトリソを除去した。次に図3(c)に示すように、減圧CVD法を用いて400nm厚さの多結晶シリコン膜20、21を形成する。この時単結晶シリコン基板1の主面に形成された多結晶シリコン膜20が後工程で形成されるゲート電極24となり、裏面の多結晶シリコン膜21がゲッターリング効果を有する材料となる。なおゲッターリング効果を評価する目安として、本実施例ではPN接合の逆リーク特

性を用いたが、多結晶シリコン膜21の厚さは150nm以上で有効であった。また減圧CVD時の成長温度は580℃～680℃が望ましい。次に図3(d)に示すように、オキシ塩化りんを用いた熱拡散により多結晶シリコン膜20、21にりん拡散を行って低抵抗の多結晶シリコン膜22、23としたが、ゲッターリングの効果に関しては、りんを添加しない場合よりさらに有効であった。このときのりんの濃度は $1 \times 10^{19}$  atom/cm<sup>3</sup>以上であれば有効であった。

【0013】次に図4(a)に示すように、多結晶シリコン膜22を選択エッチングしてゲート電極24を形成する。次に図4(b)に示すように、PチャネルMOSトランジスタのソース、ドレイン25およびNチャネルMOSトランジスタのソース、ドレイン26を形成する。次に図4(c)に示すように、層間絶縁膜27を形成する。次に図4(d)に示すように、コンタクトホール28を形成した後アルミ配線29を形成する。

【0014】

【発明の効果】以上のように本発明は、従来のゲッターリング効果を持たせた単結晶シリコン基板で問題となっていた単結晶シリコン基板の反りを低減し、微細パターンの形成を可能にする半導体装置の製造方法を実現できるものであり、また本発明の製造方法により重金属による素子特性の劣化の無い高品質の半導体装置の製造が可能となる。

【図面の簡単な説明】

【図1】(a)～(d)は本発明の一実施例における半導体装置の製造方法の第1工程部分の工程断面図

【図2】(a)～(d)は同半導体装置の製造方法の第2工程部分の工程断面図

【図3】(a)～(d)は同半導体装置の製造方法の第3工程部分の工程断面図

【図4】(a)～(d)は同半導体装置の製造方法の第4工程部分の工程断面図

【図5】(a)～(c)は従来の半導体装置の製造方法を示す工程図

【符号の説明】

1 単結晶シリコン基板

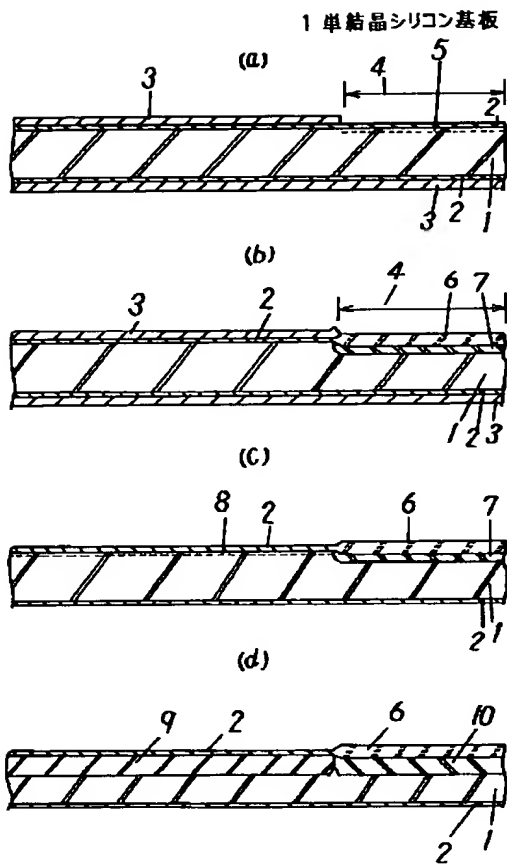
18 酸化シリコン膜(ゲート絶縁膜)

20 多結晶シリコン膜

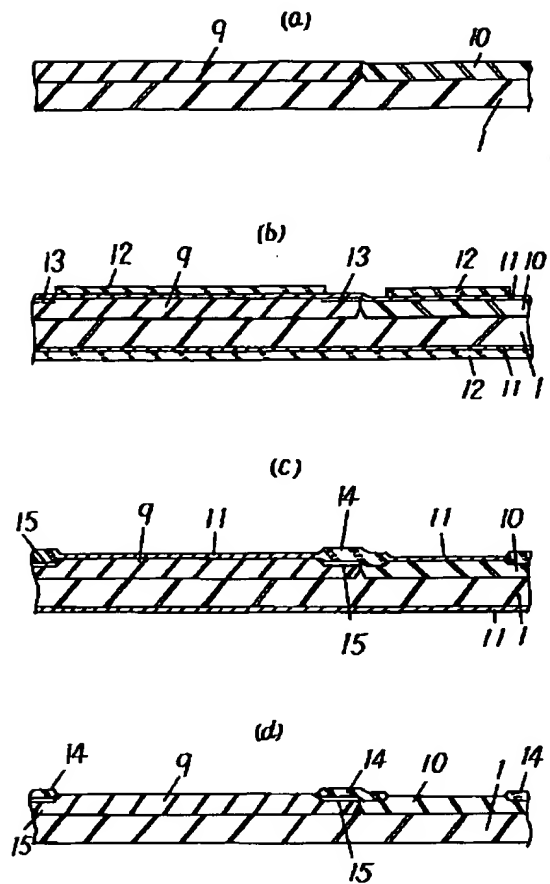
21 多結晶シリコン膜

24 ゲート電極

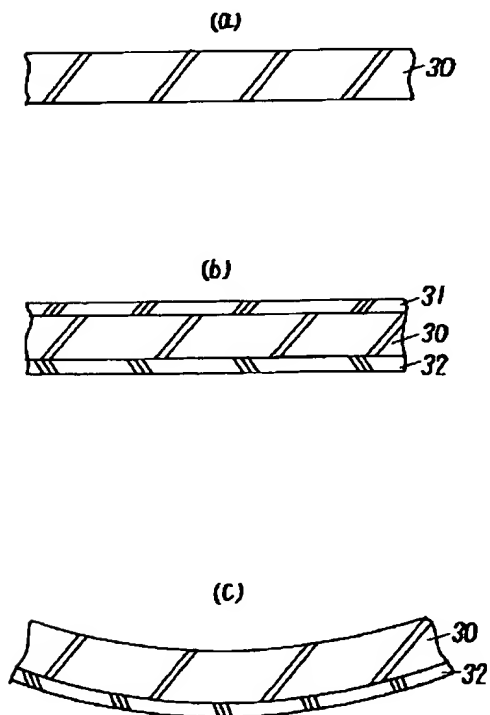
【図1】



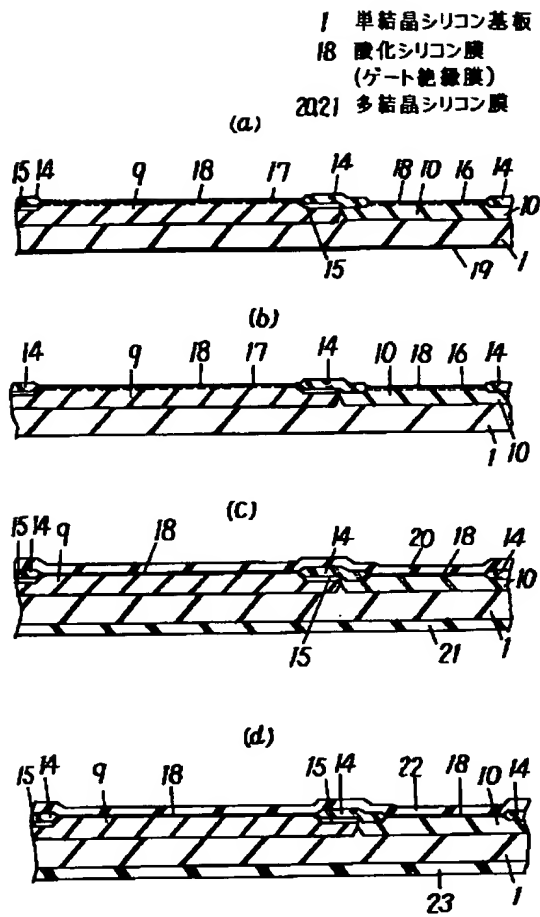
【図2】



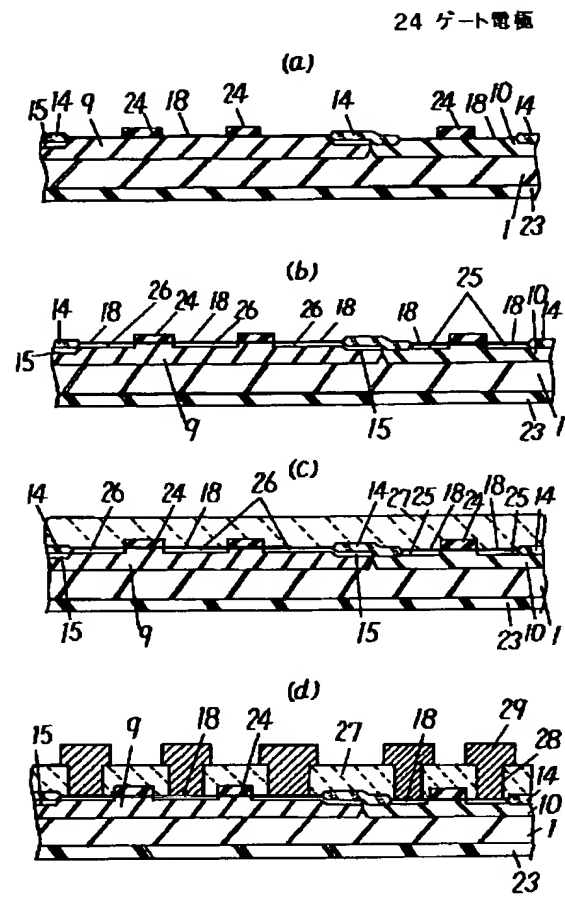
【図5】



【図3】



【図4】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**